

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-254663

(43)Date of publication of application : 16.12.1985

(51)Int.Cl.

H01L 29/78

(21)Application number : 59-110083

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.05.1984

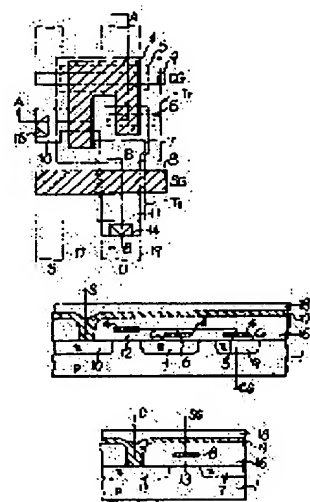
(72)Inventor : MIYAMOTO JUNICHI  
IIZUKA TETSUYA

## (54) SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

PURPOSE: To contrive the reduction of chip size by a method wherein an oxide film which determines the capacitance between a control gate and a floating gate is formed on a semiconductor substrate.

CONSTITUTION: A source region 10, a drain region 7 and an n type impurity region 9 as the control gate CG are formed on the p type semiconductor substrate 1. A floating gate 4 is C-shaped and is formed on the channel region between the regions 10 and 7 via a gate oxide film 12, and the other part of the gate 4 is formed on the regions 7 and 9 via ultrathin oxide films 5 and 6. An oxide film 16, an aluminum wiring 17, and a protection film 18 are formed on the gate 4. Then, capacitors C1 and C2 are formed between the gate 4 and the region 7 and between the gate 4 and the region 9, and information is written and erased by injecting and releasing electrons through the film 6 to the gate 4 by impressing electric fields on the region 9 and the gate CG.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-254663

⑬ Int.Cl.<sup>4</sup>  
H 01 L 29/78

識別記号

庁内整理番号  
7514-5F

⑭ 公開 昭和60年(1985)12月16日

審査請求 未請求 発明の数 3 (全6頁)

⑮ 発明の名称 半導体記憶装置およびその製造方法

⑯ 特 願 昭59-110083

⑰ 出 願 昭59(1984)5月30日

⑱ 発 明 者	官 本	順 一	川崎市幸区小向東芝町1	株式会社東芝総合研究所内
⑲ 発 明 者	飯 塚	哲 哉	川崎市幸区小向東芝町1	株式会社東芝総合研究所内
⑳ 出 願 人	株 式 会 社	東 芝	川崎市幸区堀川町72番地	
㉑ 代 理 人	弁 理 士	猪 股 清	外3名	

明 細 書

1. 発明の名称 半導体記憶装置および  
その製造方法

2. 特許請求の範囲

1. 半導体基板表面に形成されたドレイン領域およびソース領域と、

前記半導体基板表面に形成されコントロールゲートとして機能する前記半導体基板と逆導電型の不純物領域と、

この不純物領域および前記ドレイン領域とそれぞれ極薄絶縁膜を介して形成され、かつ前記ドレイン領域とソース領域間のチャネル領域上に絶縁膜を介して形成されたフローティングゲートと

を有するフローティングゲートトランジスタを備えた半導体記憶装置。

2. 半導体基板表面に形成されたドレイン領域およびソース領域と、これらドレイン領域とソース領域間のチャネル領域上に設けられたセレクト

トゲートとを有するセレクトトランジスタと、

前記半導体基板表面に形成され、前記セレクトトランジスタのソース領域に接続されたドレイン領域と、前記半導体基板表面に形成されたソース領域と、前記半導体基板表面に形成されコントロールゲートとして機能する不純物領域と、この不純物領域および前記ドレイン領域とそれぞれ極薄絶縁膜を介して形成され、かつ前記ドレイン領域とソース領域間のチャネル領域上に絶縁膜を介して形成されたフローティングゲートとを有するフローティングゲートトランジスタと

を備えた半導体記憶装置。

3. 半導体基板表面の第1および第2の領域に不純物領域およびドレイン領域を形成する第1の工程と、

前記半導体基板上に絶縁膜を形成する第2の工程と、

前記第1の領域および第2の領域上の絶縁膜をエッチングし、その上にそれぞれ第1および第2の極薄絶縁膜を同時に形成する第3の工程と、

前記絶縁膜上であって前記ドレイン領域に接する第3の領域上および前記第1および第2の極薄酸化膜上にフローティングゲートを形成する第4の工程と、

前記第3の領域に隣接する前記半導体基板表面の第4の領域にソース領域を形成する第5の工程と

を有する半導体記憶装置の製造方法。

### 3. 発明の詳細な説明

#### (発明の技術分野)

本発明は半導体記憶装置、特に電気的消去可能なプログラマブルメモリ(EEPROM)およびその製造方法に関する。

#### (発明の技術的背景とその問題点)

EEPROMのセル構造については従来から多くの提案がなされているが、このうち半導体基板上の極薄酸化膜からのトンネル電流を用いてフローティングゲートに書き込み消去をおこなうものが知られている。

このフローティングゲートトランジスタのしきい値 $V_{th}$ を変化させ、情報の記憶をおこなう。

トンネル効果によるトンネル電流密度 $J$ は、電界 $E$ に強く依存し次式であらわされる。

$$J = A E^2 \exp \left( - \frac{E_0}{E} \right)$$

ただし、 $A$ 、 $E_0$ は定数である。従って書き込み時間を短くし、しかも情報が“1”と“0”とのしきい値 $V_{th}$ の差を広くするためには、コントロールゲートPoly2に印加された電圧を効率よくフローティングゲートPoly1に伝える必要がある。そのためには、コントロールゲートPoly2およびフローティングゲートPoly1間の容量 $C_2$ と、フローティングゲートPoly1およびドレイン領域D間の容量 $C_1$ との比 $C_2/C_1$ を3倍以上にする必要があった。

容量 $C_2$ を大きくするためには、酸化膜Oxide3を薄くすればよいが、一般にポリシリコン層上の酸化膜は、ポリシリコン層の凹凸や酸化膜のグ

従来のEEPROMのセル構造の具体例としてIEEE Journal of solid-state circuits、vol.S.C-18、No.5、p.532に記載されたものを第10図に示す。P型半導体基板Sub表面にソース領域5およびドレイン領域Dが形成され、さらにフローティングゲートとしての第1ポリシリコン層Poly1、コントロールゲートとしての第2ポリシリコン層Poly2が形成されている。フローティングゲートPoly1は、ソース領域Sとドレイン領域D間のチャネル領域上にゲート酸化膜Oxide1を介し、かつドレイン領域D上に極薄酸化膜Oxide2を介して形成される。コントロールゲートPoly2は、フローティングゲートPoly1上にさらに酸化膜Oxide3を介して形成されている。

フローティングゲートPoly1への情報の書き込み、消去は、ドレイン領域DとコントロールゲートPoly2との間に電界を印加し、極薄酸化膜Oxide2を通じてフローティングゲートPoly1とドレイン領域D間のトンネル効果を利用して電子を注入又は放出させることによりおこなう。これにより

ドレイン領域Dを制御することが難しく、半導体基板上の酸化膜に比べて薄く形成することが困難であった。したがって容量 $C_2$ を大きくするためにはフローティングゲートPoly1とコントロールゲートPoly2とが重なり合う面積を大きくせざるを得ずセル占有面積の増加を招いていた。一方、極薄酸化膜Oxide2は、大きなトンネル電流を得るため薄くなくてはならない。例えば極薄酸化膜Oxide2を100、酸化膜Oxide3を800とすれば、フローティングゲートPoly1とコントロールゲートPoly2とが重なり合う面積は、極薄酸化膜Oxide2の面積の24倍が必要であった。

また、容量 $C_1$ を決定する極薄酸化膜Oxide2と、容量 $C_2$ を決定する酸化膜Oxide3とは別工程で製造されるため、各工程の条件が異なると容量 $C_1$ 、 $C_2$ も予定の値にならず、ロット毎又はウェーハ毎に比 $C_2/C_1$ が大きく異なるという問題があった。このためそのような製造工程上のバラツキも考慮してパターンを設計する必要がある、これもセル占有面積の増加を招いていた。

さらにフローティングゲートPoly1のエッジの形状の制御が困難であり、例えば第10図に示すようにエッジeがとがることがある。するとこのエッジeに電界が集中し、フローティングゲートPoly1に蓄積された電荷が徐々にもれ、記憶が失われるおそれがあった。

#### (発明の目的)

本発明は上記事情を考慮してなされたものでセル占有面積が小さく製造条件によるバラツキの少ない半導体記憶装置およびその製造方法を提供することを目的とする。

#### (発明の概要)

上記目的を達成するために本発明による半導体記憶装置は、半導体基板表面に形成されたドレイン領域およびソース領域と、前記半導体基板表面に形成されコントロールゲートとして機能する前記半導体基板と連通電型の不純物領域と、この不純物領域および前記ドレイン領域とそれぞれ極薄絶縁膜を介して形成され、かつ前記ドレイン領域とソース領域間のチャンネル領域上に絶縁膜を介し

て形成されたフローティングゲートとを有するフローティングゲートトランジスタを備えている。

また、本発明による半導体記憶装置の製造方法は、半導体基板表面の第1および第2の領域に不純物領域およびドレイン領域を形成する第1の工程と、前記半導体基板表面上に絶縁膜を形成する第2の工程と、前記第1の領域および第2の領域上の絶縁膜をエッチングし、その上にそれぞれ第1および第2の極薄絶縁膜を同時に形成する第3の工程と、前記絶縁膜上であって前記ドレイン領域に接する第3の領域上および前記第1および第2の極薄酸化膜上にフローティングゲートトランジスタを形成する第4の工程と、前記第3の領域に隣接する前記半導体基板表面の第4の領域にソース領域を形成する第5の工程とを有している。

#### (発明の実施例)

本発明の一実施例による半導体記憶装置を第1図から第4図に示す。この半導体装置のメモリセルは、第4図の等価回路に示すようにフローティ

ングゲートトランジスタ $T_F$ とセレクトトランジスタ $T_S$ が直接接続された構成をしている。

フローティングゲートトランジスタ $T_F$ のレイアウトパターンを第1図の上部に示し、断面構造を第2図に示す。P型半導体基板1上にソース領域10、ドレイン領域7が近接して形成されるとともに、コントロールゲートCGとしてのn型不純物領域9がさらに形成されている。フローティングゲート4はコ字形状をしており、ソース領域10とドレイン領域7間のチャンネル領域上にゲート酸化膜12を介して形成されるとともに、フローティングゲート4の他の部分が、極薄酸化膜5、6を介してそれぞれドレイン領域7および不純物領域9上に形成されている。ここで極薄酸化膜5の厚さは極薄酸化膜6と同じまたはそれ以上であることが望ましい。これによりフローティングゲート4とドレイン領域7との間に容量 $C_1$ が、フローティングゲート4と不純物領域9との間に容量 $C_2$ が形成される。さらにフローティングゲート4上に酸化膜16が形成される。ソース領域

10はコンタクト15を介してアルミニウム配線17によりソース端子Sに接続されている。アルミニウム配線17上には保護膜18が形成される。

セレクトトランジスタ $T_S$ のレイアウトパターンを第1図の右下部に示し、断面構造を第3図に示す。P型半導体基板1上にn型のソース領域7とドレイン領域11が近接して形成されている。このソース領域7は、フローティングゲートトランジスタ $T_F$ のドレイン領域7と連続する不純物領域である。ソース領域7とドレイン領域11間のチャンネル領域上にはゲート酸化膜13を介してセレクトゲート8が形成されている。さらにフローティングゲートトランジスタ $T_F$ と同様に酸化膜16、アルミニウム配線19、保護膜18が形成される。このアルミニウム配線19はコンタクト14によりドレイン領域11に接続されている。

このメモリセルの情報の書込み、消去は、ドレイン領域7とコントロールゲートCGに電界を印加し、極薄酸化膜6を通じてフローティングゲート4に電子を注入又は放出させることによりおこ

なう。フローティングゲート4に電荷が蓄積されているか否かにより、フローティングゲートトランジスタ $T_F$ のしきい値 $V_{th}$ が変化し、情報の記憶がなされる。

このメモリセルでは、容量 $C_1$ 、 $C_2$ の大きさを決定する酸化膜6、5が共に極薄酸化膜であるため、容量比 $C_2/C_1$ を3以上にするには、極薄酸化膜5を介して接するフローティングゲート4と不純物領域9とが重なり合う面積 $S_2$ を、極薄酸化膜6を介して接するフローティングゲート4とドレイン領域7とが重なり合う面積 $S_1$ の3倍以上にすればよい。このように本実施例では容量 $C_2$ を決定する酸化膜5を半導体基板1上に形成するようにしているため、極めて薄く形成することが可能であり、容量 $C_2$ の占有面積を小さくすることができる。

情報が“0”、“1”の場合のしきい値電圧の差 $\Delta V_{th}$ と書き込み時間 $t$ との関係は次のようになる。一般的にトンネル電流密度 $J$ は、印加電圧を $E$ とすると次の如くあらわされる。

$$J = A E^2 \exp \left( - \frac{E_0}{E} \right)$$

ここでフローティングゲート4とドレイン領域7間の電界を $E_1$ 、重なり合う面積を $S_1$ 、フローティングゲート4と不純物領域9間の電界を $E_2$ 、重なり合う面積を $S_2$ とすると、フローティングゲート4に蓄積された電界 $Q_F$ の時間的变化は

$$\frac{dQ_F}{dt} = -S_1 J(E_1) + S_2 J(E_2)$$

となり、しきい電圧の差 $\Delta V_{th}$ は、

$$\Delta V_{th} = \frac{Q_F}{C_2}$$

となる。実験により定数 $A$ 、 $E$ を求めると、

$$A = 9.9 \times 10^{-8} \text{ A/V}^2,$$

$$E = 2.8 \times 10^8 \text{ V/cm}$$

となる。上述した関係に基づいて、極薄酸化膜5、6の厚さを100Å、書き込み電圧を20Vとしてしきい値電圧の差 $\Delta V_{th}$ と書き込み時間との関係を

容量比 $C_2/C_1$ をパラメータとして示したのが第5図である。ここで破線はコントロールゲートとコントロールゲート間の酸化膜が従来のように厚くトンネル効果を考慮する必要のない場合である。第5図からわかるように書き込み時間 $t$ が1nsec以下であれば、実線と破線との差はほとんどなくトンネル効果を見てもよく、極薄酸化膜を用いても問題がない。特に近年は書き込み時間 $t$ を短縮することが要求されていることを配慮すれば、本実施例の特性は十分満足できるものである。

次にこの半導体記憶装置の製造方法を第6図により説明する。ここで第6図は第2図の断面と同一断面である。まず、P型半導体基板1に酸化膜20を形成し、後ほどドレイン領域7と不純物領域9が形成される領域でフローティングゲートにおおわれる領域に不純物を拡散する(第6図(a))。次のこの拡散された領域上の酸化膜20をエッチングし、極薄酸化膜5、6を形成する(第6図(b))。次にこれら極薄酸化膜5、6上およびチャネル領域となるべき領域の上にポリシリコンのフ

ローティングゲート4を形成する(第6図(c))。次にレジスト21を、ソース領域10、ドレイン領域7、不純物領域9のパターンを面定するように形成して、不純物を拡散する(第6図(d))。次に酸化膜16を堆積し、コンタクト15を形成し(第6図(e))、さらにアルミニウム配線17、保護膜18を形成してフローティングトランジスタ $T_F$ の製造が終了する(第6図(f))。この製造方法では極薄酸化膜5、6を同一工程で作るため、これら極薄酸化膜5、6の特性が同じになる点に特徴がある。したがって面積比だけで確実に容量比 $C_2/C_1$ を定めることができる。

メモリセルのレイアウトパターンの変形例を第7図、第8図、第9図に示す。第7図のレイアウトパターンは、フローティングゲート4をJ形状とし、そのJ字の先端部がドレイン領域7を横切るようにしている。これによりメモリセル全体の幅を小さくすることができる。第8図のレイアウトパターンは、フローティングゲート4をF形状としてしている。これによりメモリセル全体の

縦の長さを短くすることができる。第9図のレイアウトパターンは、フローティングゲート4をコ字形状としている点は第1図と同じであるが、容量 $C_1$ が極薄酸化膜6の面積ではなく、フローティングゲート4の先端部とドレイン領域7に設けられた突起部とが重なりあう面積で決定されるため、極薄酸化膜6の寸法精度が厳しくないという利点がある。

また酸化膜のかわりに、絶縁膜、例えばシリコン基板の窒化膜あるいは窒素雰囲気下での酸化膜を用いてもよい。

#### (発明の効果)

以上の通り本発明によればセル占有面積が小さく、製造条件によるバラツキの少ない半導体記憶装置およびその製造方法を提供することができる。セル占有面積に関しては、例えば従来は $2\mu$ ルールで約 $280\mu^2$ 必要であったのに対し、本発明では約 $140\mu^2$ と半分に削減される。したがってビット密度を約2倍にすることができる。また逆にセル面積を極端に大きくすることなく容量

比 $C_2/C_1$ を大きくすることができ、過込み電圧を小さくすることができる。過込み電圧が小さくなれば信頼性が向上するとともに高電圧の印加を考慮して形成した部分を小さくすることができ、全体のチップサイズの縮小が可能である。また極薄酸化膜5、6を同時に製造するようにすれば、これらの特性を同一にできるため、製造条件によるバラツキを極めて少なくすることができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例による半導体記憶装置の平面図、第2図は同半導体記憶装置のA-A断面図、第3図は同半導体記憶装置のB-B断面図、第4図は同半導体記憶装置のメモリセルの等価回路の回路図、第5図は同半導体記憶装置の特性を示すグラフ、

第6図は本発明による半導体記憶装置の製造方法を示す工程図、

第7図、第8図、第9図はそれぞれ本発明による半導体製造装置の変形例を示す平面図、

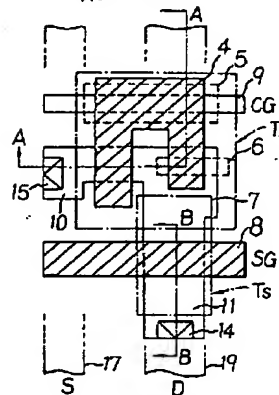
第10図は従来の半導体記憶装置の部分断面図である。

1…半導体基板、4…フローティングゲート、5、6…極薄酸化膜、7…ドレイン領域(ソース領域)、8…セレクトゲート、9…不純物領域、10…ソース領域、11…ドレイン領域、12、13…ゲート酸化膜、14、15…コンタクト、16…酸化膜、17、19…アルミニウム配線、18…保護膜、

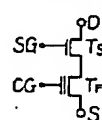
D…ドレイン、S…ソース、 $T_S$ …セレクトトランジスタ、 $T_F$ …フローティングゲートトランジスタ、SG…セレクトゲート、CG…コントロールゲート。

出願人代理人 猪 股 清

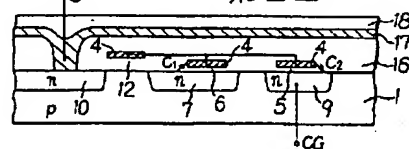
第1図



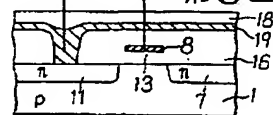
第4図



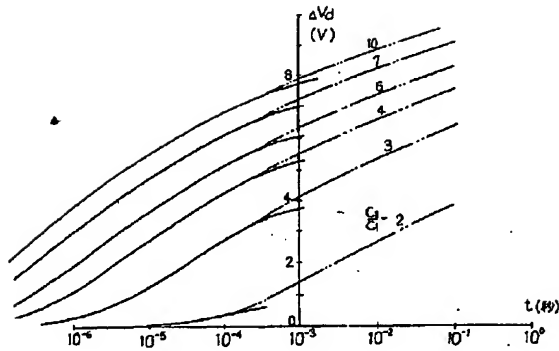
第2図



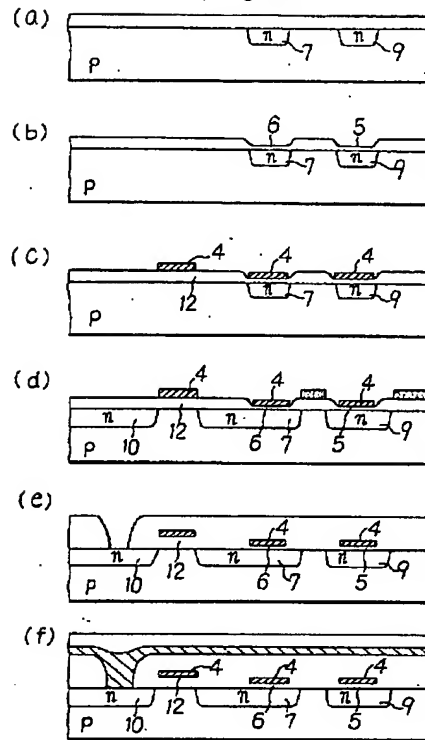
第3図



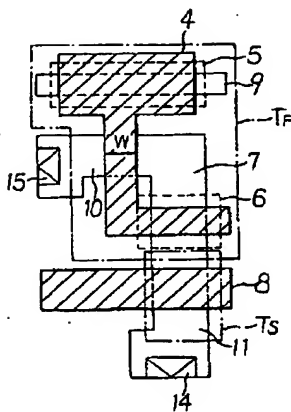
第5図



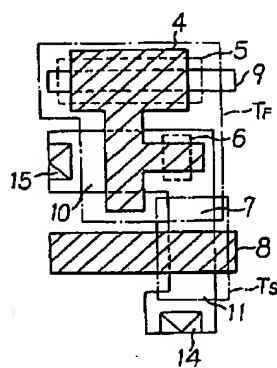
第6図



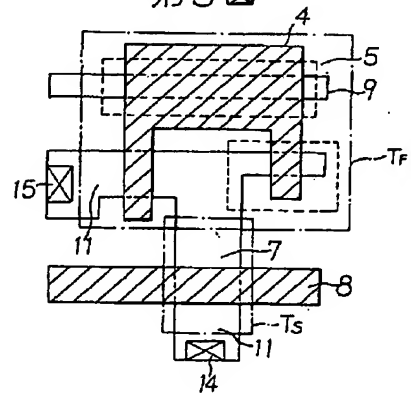
第7図



第8図



第9図



第10図

